

## 1.3 ATAの機能・構成概要3

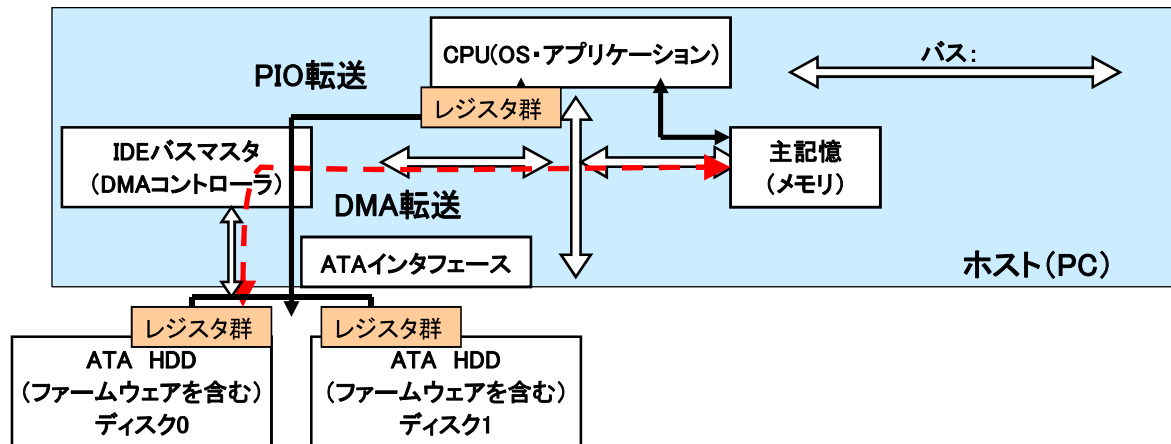
## ATAインタフェース概要3:ATA関連システム構成

ATAに関連する要素として、ATA HDDに必要データを書込み・読出しを行うOS・アプリケーションがCPUで動作します。また、データを一時的に保管する主記憶(メモリ)、DMA転送を制御するDMAコントローラを搭載するIDEバスマスタ、およびATA HDDがあります。

また、各要素はマザーボードのバスにより接続されています。

ATAの制御はOS・アプリケーションおよびHDDファームウェアから設定、参照可能なレジスタ群により行われます。

なお、PIO転送では実線のようにOS・アプリケーションが主記憶をアクセスし、レジスタに必要なデータを設定しATA HDDとのデータ転送を行います。DMA転送ではOS・アプリケーションの指示により、点線のようにDMAコントローラが、主記憶・ATA HDD間のデータ転送が行われます。



© Hitachi Information Academy Co., Ltd. 2012. All rights reserved.

## 1.3 ATAの機能・構成概要4-1

## ATAインタフェース概要4:ATAコマンド1

DMA転送用のコマンド、PIO用のRead/Writeコマンドがそれぞれ用意されています。下記はATAのRead/Writeコマンド例です。

転送 Mode	Data 転送速度	代表的な Command	転送方法
PIO mode	3.3~16.67MB/s	Read Sectors (EXT) Write Sectors (EXT) Read Multiple (EXT) Write Multiple (EXT) Write Stream PIO Read Stream PIO	CPU 介在による Data 転送 「HDD⇄CPU⇄Memory」
Multiword DMA mode	4.2~16.67 MB/s	Read DMA (EXT) Write DMA (EXT) Read DMA Queued (EXT) Write DMA Queued (EXT) Read Stream DMA Write Stream DMA	DMA Controller 回路による Data 転送 「HDD⇄メモリ転送」
Ultra DMA mode	16.67~133 MB/s		

© Hitachi Information Academy Co., Ltd. 2012. All rights reserved.

## 1.3 ATAの機能・構成概要4-2

## ATAインタフェース概要4:ATAコマンド2

Read/Write以外のコマンドとして以下のようなものが用意されています。

## 代表的なATAコマンド

- Set Featureコマンド : Write Cache 設定、Read Cache設定、データ転送速度設定  
Advanced Power Management設定など
- Identify Deviceコマンド: 装置容量、サポートしている機能一覧、各種機能設定、状態確認
- Power Management関連コマンド
  - Idle: Idleモードに遷移
  - Standby: Standbyモードに遷移 など
- Security Feature 関連コマンド
  - Security Set Password : パスワードの設定
  - Security Unlock : Password認証、データアクセス許可 など
- SMART Feature 関連コマンド
  - Error Log : ホストに報告したエラー情報をロギング
  - Self-test Log : SMART Self-test 実行結果をロギング など

(注) SMART : Self-Monitoring, Analysis and Reporting Technology  
HDD障害の早期発見・故障の予測を目的としてHDDに搭載されている機能

## 1.3 ATAの機能・構成概要5

## ATAインタフェース概要5:アドレス

ATAは512バイトのブロック(セクタ)を単位にデータのやり取りを行います。  
このデータのアドレスについては従来CHS(Cylinder/Head/Sector)modeが使用されていましたが、CHS modeでは使用できるブロック(セクタ数)が少ないため、現在ではSCSIでも使用されているLBA(Logical Block Address:ブロックを0,1,2・・・というようにナンバリングする方式)を採用しています。

- CHS mode: 論理的な CHSによるデータアクセス (ATA-6 から廃止)  
装置容量 8.4GB以上に対応できません。古い規格、互換性維持のために残しています
- 28 bit LBA mode: 連番「LBA番号」によるデータアクセス(ATA-2でサポート)  
最外周先頭セクタ“0”から順番にシリアルな番号割り振る方式  
LBA Address の長さは 28 bit, HDD容量 137GB まで対応
- 48bit LBA mode: 28bit LBA modeの拡張  
137GB以上の容量をサポート、最大容量 144PB (P = Peta, 10E15)  
1回のコマンドによる最大データ転送量 256 → 65,536セクタ(ブロック)

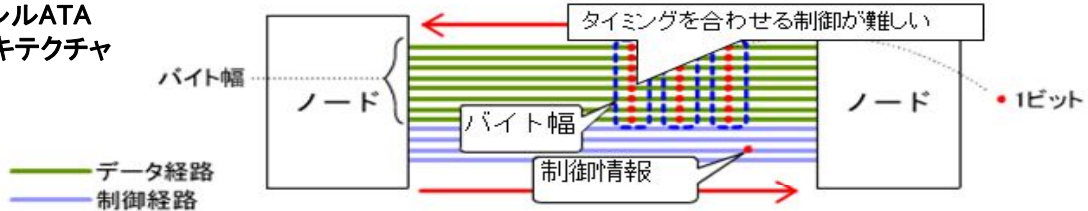
2.1 パラレルATA(PATA:パタ)とシリアルATA(SATA:サタ)

パラレルATAとシリアルATA

ATAは当時としては高速なアーキテクチャであったパラレルアーキテクチャを採用し、高速な5MB/sデータ転送を可能にしました。それ以降もATA HDDの高速化に対応しパラレルATAの高速化が行われ、133MB/sまで高速化が行われましたが、アーキテクチャ上これ以上の高速化は難しく、今日ではシリアルATAが使用されています。

なお、シリアルATAの制御はパラレルATAをベースにしているため、初めにパラレルATAを解説します。

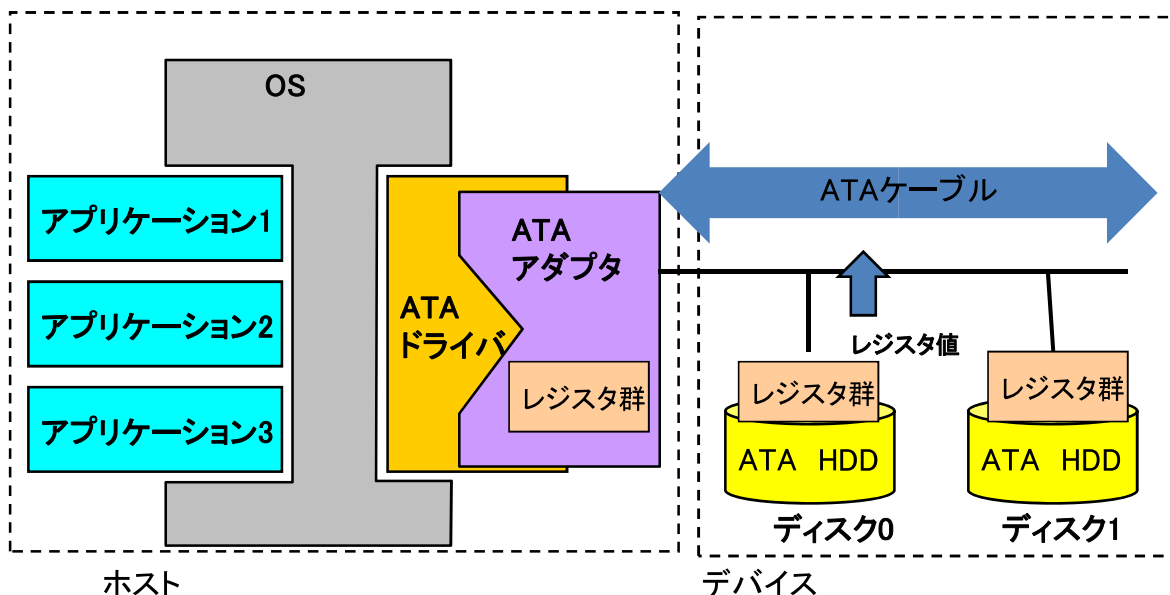
パラレルATA  
アーキテクチャ



	パラレルATA	SATA1.0	SATA2.0	SATA3.0
最大転送レート	133MB/s	150MB/s(第1世代)	300MB/s	600MB/s
ケーブルの信号ピン数	40pin/ 80pin	7pin	同左	同左
ケーブルあたりの接続台数	2 (共有バス)	1 (Point-to-Point接続)	同左	同左
ケーブル長	18 inches	1m(内蔵用)	同左	同左

2.2 パラレルATA概要1

パラレルATAのシステム構成は以下ようになっており、ホストはレジスタを通してATAディスク(最大2台)の制御、データやコマンド、ステータス転送をします。



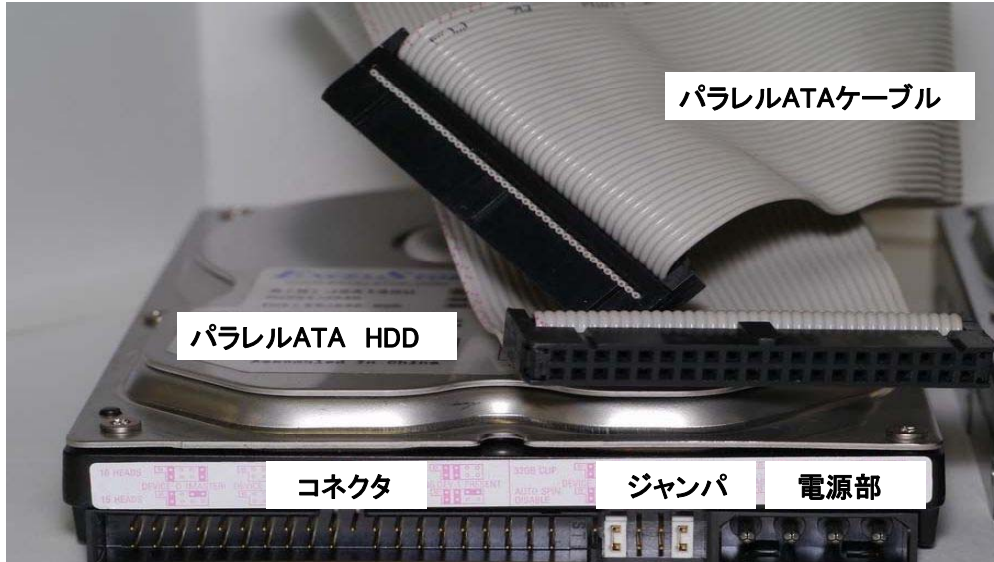
## 2.2 パラレルATA概要2

## パラレルATAハードウェア構成

ATA HDDではパラレルATAケーブルコネクタ(40/80ピン)・デバイス(0・1)を決めるジャンパおよび電源部により構成されます。

ケーブルには40芯ケーブルと80芯ケーブルがあり、80芯ケーブルは各線をGNDシールドした構成でピン数は40ピンです。Ultra DMA転送を行う場合は80芯ケーブルを使用します。

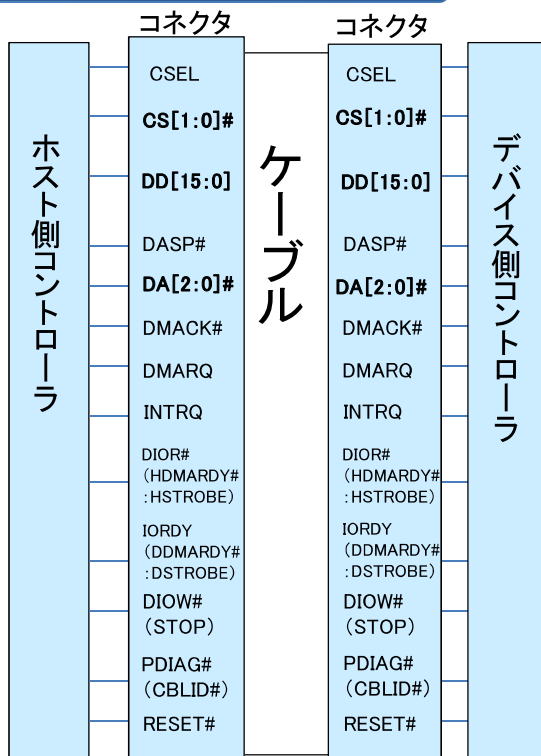
GND(グラウンド):電気回路で、基準電位との電位差が0Vである部分。ノイズなどに対する耐性を向上させます



© Hitachi Information Academy Co., Ltd. 2012. All rights reserved.

## 2.3 パラレルATA詳細1

## パラレルATAのケーブル構造1



パラレルATAのケーブルは各芯(信号結線)が意味を持ちます。このケーブルを使用して、ホスト・デバイス(ATA HDD)側のレジスタ設定・状態をホスト(OS・アプリケーション)・デバイス側コントローラ間で通信します。

## 主な信号結線

- CS[1:0]# チップセレクト。ATAの各レジスタにアクセスするために使用します。(#:番号)0番と1番があり、これにより使用するレジスタを選択します。またレジスタの選択は以下のDA[2:0]#も同時に使用します。
- DA[2:0]# データにアクセスするためのアドレス信号。0番、1番、2番があり、これにより設定・参照するレジスタが異なります。
- DD[15:0]#: 16本の信号線であり8または16ビットのデータを転送します。

その他の信号結線は次ページへ

© Hitachi Information Academy Co., Ltd. 2012. All rights reserved.

## 2.3 パラレルATA詳細2

## パラレルATAのケーブル構造2

データ転送・レジスタアクセス用信号		
DIOW-, DIOR-	H→D	DIOW : ライト信号・DIOR : リード信号
IORDY	H←D	PIO mode データ転送ウエイト要求信号
DMARQ	H←D	DMA mode 用データ転送要求
DMAACK-	H→D	DMA mode 用データ転送要求許可信号
INTRQ	H←D	データ転送要求・処理終了報告用割込信号
Ultra DMA mode 専用制御信号		
STOP (DIOW-と共用)	H→D	Ultra DMA mode データ転送中断要求
HDMARDY/HSTROBE (DIOR-と共用)	H→D	HDMARDY- : Ultra DMA mode リードデータ転送ウエイト要求信号 HSTROBE : Ultra DMA mode ライト転送時のデータストロブ信号
DDMARDY-/DSTROBE (IORDYと共用)	H←D	DDMARDY- : Ultra DMA mode ライトデータ転送ウエイト要求信号 DSTROBE : Ultra DMA mode リードデータ転送時のデータストロブ信号
その他の信号		
DASP-	H←D	Device 1 が Device 0 に存在を報告するために使用及びコマンド実行中アサート
CSEL	H→D	ドライブアドレス設定に利用
RESET-	H→D	Hardware Reset 要求

(注)・H→DはホストからHDD、H←DはHDDからホストへの転送を示します  
・ストロブ信号: タイミングを合わせるパルスの信号

## 2.3 パラレルATA詳細3

## パラレルATAのレジスタ構造1

ホスト(OS・アプリケーション)は前述のCSおよびDA(DA2・DA1・DA0)の信号結線により、使用するレジスタを選択します。

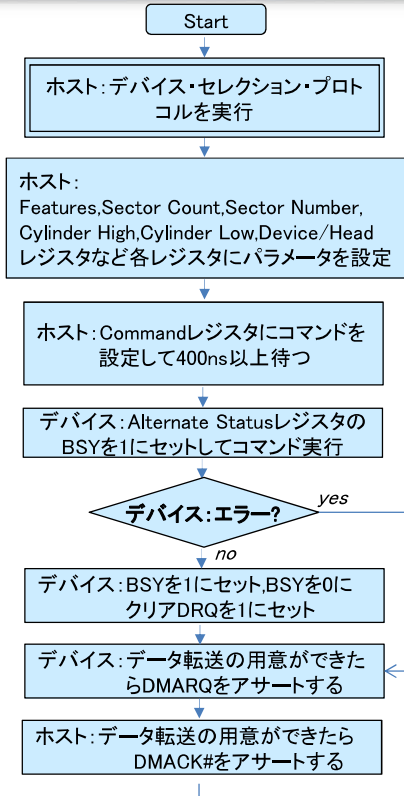
指定したレジスタから内容をリード、あるいは値を設定(ライト)することによりATA HDDの状態の検知・指示を行うことができます。

以下にレジスタの構成を示します。

CS0 (1)	DA2	DA1	DA0	ホストからリード	ホストからライト
	0	0	0	Data Register (PIO転送時に使用)	
	0	0	1	Error Register	Features Register
	0	1	0	Sector Count Register	
	0	1	1	Sector Number Register	
	1	0	0	Cylinder Low / LBA Low Register	
	1	0	1	Cylinder High / LBA High Register	
	1	1	0	Device / Head Register	
	1	1	1	Status Register	Command Register
CS1 (1)	1	1	0	Alternate Status Register	Device Control Register



2.3 パラレルATA詳細7



ホスト・HDDのATAインターフェースの使用例

例: DMA転送コマンド

OS・アプリケーション、HDDのファームウェアはレジスタ、信号結線の設定により制御を行います

(注)本シーケンスは一部を省略しています

3.6 シリアルATA動作例1

シリアルATA データ転送例: WR DMAコマンドの実行

(1)内部動作

以下にシリアルATAのコマンド実行シーケンスを示します。

本例ではDMAを使用したHDDの書込みを行うWR DMAを例にします。WR DMAを行う際の内部動作は以下の通りです。

- ホストがシャドウレジスタにコマンド発行に必要な情報(コマンド・アドレスなど)を設定します
- WR DMA コマンドはフレームでHDDに送付されます
- IDEバスマスタ内のDMAコントローラは主記憶内のWRデータをHDDに送付します
- ホストは実行結果をレジスタで確認します

